

IC MEMORY CARD

Publication number: JP8315100

Publication date: 1996-11-29

Inventor: KIN CHIYOUKAN

Applicant: GOLD STAR ELECTRONICS

Classification:

- international: G06K19/077; G06K17/00; G11C5/00; G06K19/077;
G06K17/00; G11C5/00; (IPC1-7): G06K19/077;
G06K17/00

- European: G11C5/00

Application number: JP19960007345 19960119

Priority number(s): KR19950012254 19950517

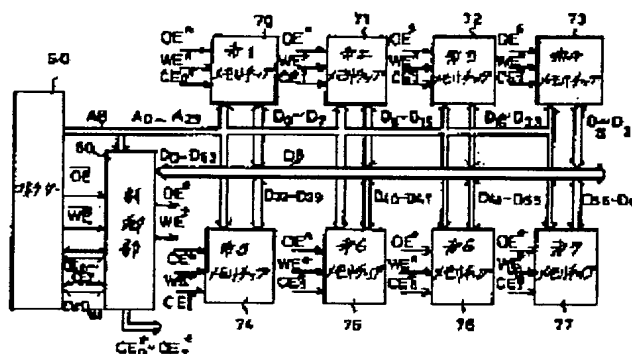
Also published as:

US5712811 (A)

Report a data error here

Abstract of JP8315100

PROBLEM TO BE SOLVED: To improve the storage capacity and data processing speed of an IC memory card by inputting/outputting data by using an internal read signal or internal write signal outputted from a control section as the relevant internal chip selecting signal of a plurality of internal chip selecting signals to a plurality of memory chips. **SOLUTION:** The read and write of data are controlled by using control signals inputted to a control section 60 through a connector 50 by interfacing with an external device and the connector 50. Then, data are inputted/outputted by using an internal read signal or internal write signal outputted from the control section 60 as the relevant internal chip selecting signal of a plurality of internal chip selecting signals CF0-CF7 outputted from the control section 60 is inputted to a plurality of memory chips 70-77. Therefore, the storage capacity and data processing speed of an IC memory card can be improved.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-315100

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl.⁶G 0 6 K 19/077
17/00

識別記号

庁内整理番号

F I

G 0 6 K 19/00
17/00

技術表示箇所

L
C
D

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平8-7345

(22) 出願日 平成8年(1996)1月19日

(31) 優先権主張番号 9 5 P 1 2 2 5 4

(32) 優先日 1995年5月17日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591050992

エル・ジー・セミコン・カンパニー・リミ
テッド大韓民国忠清北道清州市興徳区香亭洞1番
地

(72) 発明者 金 朝漢

大韓民国忠清北道清州市興徳区香亭洞1

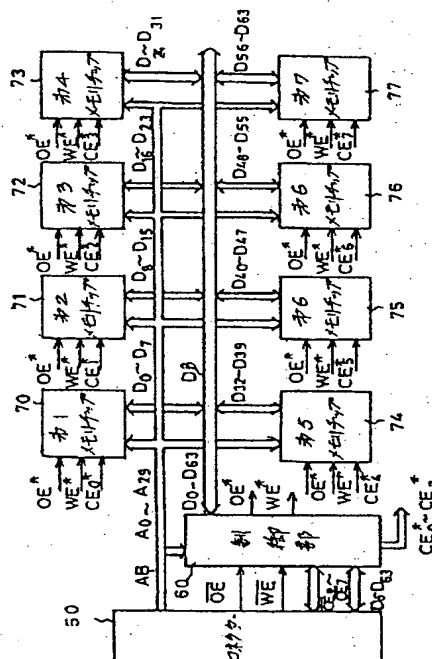
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 I Cメモリカード

(57) 【要約】

【課題】本発明は、インターフェース用コネクタとして用いられるフィンの個数を増加させ、該増加されたフィンをデータ信号、アドレス信号、及び制御信号に利用して、記憶容量及びデータ速度処理速度の向上された I Cメモリカードを提供しようとするものである。

【解決手段】外部装置とインターフェースするためのコネクタと、該コネクタを通して入力する制御信号によりデータのリード及びライトを制御する制御部と、該制御部から出力された内部チップ選択信号が夫々入力され外部の内部チップ選択信号により選択されて、前記制御部から出力された内部リード信号及び内部ライト信号によりデータを入出力する複数のメモリチップと、により本発明の I Cメモリカードが構成される。



1

【特許請求の範囲】

【請求項1】 ICメモリカードであって、

外部装置とインターフェースするためのコネクタと、
該コネクタを通して入力する制御信号によりデータのリー
ド及びライトを制御する制御部と、

該制御部から出力された複数の内部チップ選択信号中
該当の内部チップ選択信号が入力するに従い、前記制御
部から出力された内部リード信号又は内部ライト信号に
よりデータを入出力する複数のメモリチップと、を備
えたICメモリカード。

【請求項2】 前記コネクタは、30個のアドレス信号用
フィン、64個のデータ信号用フィン、及び8個の内部
チップ選択信号用フィンの含まれた136個のインター
フェース用フィンから構成される請求項1記載のICメモ
リカード。

【請求項3】 前記インターフェース用フィンは、第1行ー
第4行に分けて配置され、それら四つの行中相互隣接し
た行のインターフェース用フィンは交互に配置して、所定
ピッチを有するように構成される請求項2記載のICメモ
リカード。

【請求項4】 前記内部チップ選択信号は、前記メモリチ
ップと相互対応し、該相互対応された内部チップ選択信
号に該当するメモリチップが夫々選択される請求項1記
載のICメモリカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ICメモリカード
に係り、特に、インターフェース用コネクタとして用い
られるフィンの個数を増加させ、該増加されたフィンを
データ信号、アドレス信号、及び制御信号に夫々利用し
て、記憶容量及びデータ処理速度が向上されたICメモ
リカードに関するものである。

【0002】

【従来の技術】 従来ICメモリカードにおいては、図4
に示すように、外部装置とインターフェースするための
コネクタ10と、該コネクタ10を通して入力するアド
レス信号A0-A25、リード信号/OE、ライト信号
/WE、及び第1、第2チップ選択信号/CE0、/C
E1によりデータ信号D0-D15の入出力を制御する
制御部20と、該制御部20から出力された内部リード
信号OE*、内部ライト信号WE*、及び第1内部チ
ップ選択信号CE*によりデータ信号D0-D7を入出力
する第1メモリチップ30と、前記内部リード信号OE
、ライト信号WE、及び第2内部チップ選択信号C
E1*によりデータ信号D0-D7を入出力する第2メ
モリチップ31と、前記内部リード信号OE*、内部ラ
イト信号WE*、及び第1内部チップ選択信号CE0*
によりデータ信号D8-D15を入出力する第3メモリ
チップ32と、前記内部リード信号OE*、内部ライト
信号WE*、及び第2内部チップ選択信号CE1*によ

2

りデータ信号D8-D15を入出力する第4メモリチッ
プ33と、から構成されていた。

【0003】 且つ、前記コネクタ10においては、図5
に示すように、前記ICメモリカードの下部面に形成さ
れた第1フィンP1-第68フィンP68を備え、該第
1フィンP1-第34フィンP34は、図5(A)に示
すように、所定間隔を置いて配置され、第35フィンP
35-第68フィンP68(図示せず)は、図5(B)
に示すように、それら第1フィンP1-第34フィンP
34に相互対応し並んで配置される。又、それらフィン
P1-P68のピッチ間隔は、図5(C)に示すよう
に、 1.27 ± 0.1 mmとし、それらフィンP1-P
68は、アドレス信号A0-A25、データ信号D0-
D15、リード信号/OE、ライト信号/WE、及びそ
の以外の電源電圧信号のような制御信号に対応する。

【0004】 このように構成された従来ICメモリカー
ドの作用に対し図面を用い説明する。

【0005】 前記コネクタ10は、ICメモリカードを
アクセスするマイクロコンピュータのような外部装置
に連結され、このようなアクセスは前記ICメモリカー
ドに貯蔵されたデータをリード(read)するか、又は新
しいデータをICメモリカードにライト(write)する
とき発生される。

【0006】 即ち、前記外部装置が前記ICメモリカー
ドをアクセスするとき、リード信号/OE、ライト信号
/WE、及び第1、第2チップイネーブル信号/CE
0、/CE1のような制御信号と、アドレス信号A0-
A25とがコネクタ10を通して制御部20に入力す
る。

【0007】 ここで、前記アドレス信号A0は制御信号
として用いられ、新しいデータがICメモリカードにラ
イトされるときは、データ信号D0-D15もそれら制
御信号と一緒に制御部20に入力する。

【0008】 次いで、前記制御部20は、第1-第4メ
モリチップ30-33に貯蔵されたデータをリードする
ための内部リード信号OE*と、それらメモリチップ3
0-33にデータをライトするための内部ライト信号W
E*と、第1、第3メモリチップ30、32を選択する
ための第1内部チップ選択信号CE0*と、第2、第4
メモリチップ31、33を選択するための第2内部チ
ップ選択信号CE1*と、を発生し、それらアドレス信号
A0-A25、内部リード信号OE*、及び内部ライト
信号WE*が第1-第4メモリチップ30-33に共通
入力され、前記第1内部チップ選択信号CE0*はそれ
ら第1、第3メモリチップ30、32に夫々入力され、
第2内部チップ選択信号CE1*は第2、第3メモリチ
ップ31、33に夫々入力される。

【0009】 そして、各メモリチップ30-33に入力
した制御信号のレベルに従いデータバスDBに入出力さ
れるデータ信号は異なる。即ち、図6に示すように、デ

3

ータをリードする場合、内部リード信号OE*はローレベルとなり内部ライト信号WE*はハイレベルとなつて、例えば、第1、第2内部チップ選択信号CE0*、CE1*のレベルが夫々ハイレベルであるとき、アドレス信号A0のレベルに拘わらず上位データ信号D8-D15及び下位データ信号D0-D7に対応するデータバスが夫々ハイインピーダンスの状態になる。従つて、それらメモリチップ30-33からデータ信号D0-D15が出力せず、ICメモリカードは待機状態(standby state)になる。

【0010】ここで、'L'はローレベルを、'H'はハイレベルを、'X'は関係なし(don't care)を夫々示し、'HIGH-Z'は該当のデータバスがハイインピーダンスの状態を、'I'はライトを、'O'はリードを夫々示す。

【0011】且つ、第1内部チップ選択信号CE0*のレベルがロー状態、第2内部チップ選択信号CE1*のレベルがハイ状態、アドレス信号A0のレベルがロー状態であるときは、上位データ信号D8-D15に対応するデータバスはハイインピーダンスの状態になり、第1メモリチップ30から出力された下位データ信号D0-D7はデータバスDBを通過して制御部20に出力する。

【0012】ここで、前記アドレス信号A0のレベルがハイ状態であると、下記データ信号D0-D7に対応するデータバスがハイインピーダンスの状態になって、第3メモリチップ32から出力された上位データ信号D0-D15はデータバスDBを通過して制御部20に出力する。その後、該制御部20に出力された下位データ信号D0-D7又は上位データ信号D8-D15はコネクタ10を通過して外部装置に出力し、結果的に8ビットのデータが前記外部装置によりリードされる。

【0013】又、第1内部チップ選択信号CE0*のレベルがハイ状態、第2内部チップ選択信号CE1*のレベルがロー状態、アドレス信号A0のレベルがロー状態であるときは、上位データ信号D8-D15に対応するデータバスがハイインピーダンスの状態になり、第1メモリチップ30から出力された下位データ信号D0-D7はデータバスDBを通過して制御部20に出力する。ここで、アドレス信号A0のレベルがハイ状態であると、下位データ信号D0-D7に対応するデータバスがハイインピーダンスの状態になり、第4メモリチップ32から出力された上位データ信号D8-D15はデータバスDBを通過して制御部20に出力する。従つて、前述したように、8ビットのデータが前記外部装置によりリードされる。

【0014】更に、第1内部チップ選択信号CE0*及び第2内部選択信号CE1*のレベルが夫々ロー状態であるときは、アドレス信号A0のレベルに拘わらず第1メモリチップ30又は第2メモリチップ31からは下位データ信号D0-A7が、第3メモリチップ32又は第

4

4メモリチップ33からは上位データ信号D8-D15がデータバスDBを通過して制御部20に夫々出力される。従つて、16ビットのデータが前記外部装置によりリードされる。

【0015】一方、新しいデータがICメモリカードにライトされる場合は、内部リード信号OE*はハイレベルとなり内部ライト信号WE*はローレベルとなつて、図6に示すように、データがリードされるときと同様な方法により制御信号のレベルに従い、新しいデータが第1-第4メモリチップ30-40に夫々貯蔵される。

【0016】

【発明が解決しようとする課題】然るに、このような従来ICメモリカードにおいては、26ビットのアドレス信号が用いられて最大6.4メガバイトの記憶容量を有し、一つの内部チップ選択信号が複数のメモリチップに共通連結されて最大16ビットのデータを並列に入出力するから、前記外部装置が32ビット又は64ビットを並列に処理するシステムの場合はデータ速度が劣るという問題点があった。

【0017】本発明の目的は、インターフェース用コネクタとして用いられるフィンの個数を増加させ、該増加されたフィンをデータ信号、アドレス信号、及び制御信号に利用して、記憶容量及びデータ処理速度を向上させたICメモリカードを提供しようとするものである。

【0018】

【課題を解決するための手段】そして、このような本発明に係るICメモリカードにおいては、外部装置とインターフェースするためのコネクタと、該コネクタを通過して入力する制御信号によりデータのリード及びライトを制御する制御部と、該制御部から出力された内部チップ選択信号が入力され該該当のチップ選択信号によりイネーブルされて、前記制御部から出力されたリード信号又はライト信号によりデータを入出力する複数のメモリチップと、から構成される。

【0019】

【発明の実施の形態】以下、本発明に係るICメモリカードの実施の形態に対し説明する。

【0020】即ち、本発明のICメモリカードにおいては、図1に示すように、外部装置とインターフェースするためのコネクタ50と、該コネクタ50に連結されたアドレスバスABを通過して入力するアドレス信号A0-A29、リード信号/OE、ライト信号/WE、及び第1-第8選択信号/CE0-/CE7によりデータ信号D0-D63の入出力を制御する制御部60と、該制御部60から出力された内部リード信号OE*、内部ライト信号WE*、及び第1内部チップ選択信号CE0*によりデータ信号D0-D7を入出力する第1メモリチップ70と、前記内部リード信号OE*、前記内部ライト信号WE*、及び第2内部チップ選択信号CE1*によりデータ信号D8-D15を入出力する第2メモリチッ

5

ブ71と、前記内部リード信号OE*、前記内部ライト信号WE*、及び第3内部チップ選択信号CE2*によりデータ信号D16-D23を入出力する第3メモリチップ72と、前記内部リード信号OE*、前記内部ライト信号WE*、及び第4内部チップ選択信号CE3*によりデータ信号D24-D31を入出力する第4メモリチップ73と、前記内部リード信号OE*、前記内部ライト信号WE*、及び第5内部チップ選択信号CE4*によりデータ信号D32-D39を入出力する第5メモリチップ74と、前記内部リード信号OE*、前記内部ライト信号WE*、及び第6内部チップ選択信号CE5*によりデータ信号D40-D47を入出力する第6メモリチップ75と、前記内部リード信号OE*、前記内部ライト信号WE*、及び第7内部チップ選択信号CE6*によりデータ信号D48-D55を入出力する第7メモリチップ76と、前記内部リード信号OE*、前記内部ライト信号WE*、及び第8内部チップ選択信号CE7*によりデータ信号D56-D63を入出力する第8メモリチップ77と、から構成される。

【0021】且つ、前記コネクタ50においては、図2に示すように、前記ICメモリカードの下部面に形成された第1フィンP1-第136フィンP136を備え、それら第1フィンP1-第68フィンP68は、図2(A)に示すように、所定間隔を置いて配置され、第69フィンP69-第136フィンP136(図示せず)はそれら第1フィンP1-第68フィンP68に相互対応し並んで形成される。即ち、図2(B)に示すように、前記第1フィンP1と第69フィンP69、第2フィンP2と第70フィンP70、---等のように配置され、このように配置されたフィンの間隔は上部よりも下部が狭い間隔を有するように、第1、第2フィンP1、P2は撓んで形成される。

【0022】又、それらフィンP1-P136は、図2(C)に示すように、第1行のフィンP1、P3、P5---P65、P67、第2行のフィンP2、P4、P6---P66、P68、第3行のフィンP69、P71、P73---P133、P135、及び第4行のフィンP70、P72、P74、---P134、P136から分けて配置され、それら四つの行中相互隣接した行のフィンは交互に配置され、それら行のピッチ間隔は0.635±0.05mmとする。従って、それらフィンP1-P136のピッチ間隔は従来ピッチ間隔1.27±0.05mmよりも小さくて、前記コネクタ50は従来コネクタと同様な大きさを有するが、一層多くのフィンを含む形成することができる。

【0023】更に、それらフィンP1-P136は、アドレス信号A0-A29、データ信号D0-D63、リード信号/OE、ライト信号/WE、及びチップ選択信号/CE0-/CE7に夫々対応する。

【0024】このように構成された本発明に係るICメ

6

モリカードの作用に対し説明する。

【0025】外部装置がICメモリカードをアクセスするときは、リード信号/OE、ライト信号/WE、及びチップ選択信号/CE0-/CE7のような制御信号と、アドレス信号A0-A29とがコネクタ50を通過して制御部60に入力し、新しいデータがICメモリカードにライトされるときは、データ信号D0-D63もそれら制御信号と一緒に制御部60に入力する。

【0026】次いで、該制御部60は、前記リード信号/OE、ライト信号/WE、及びチップ選択信号/CE0-/CE7を内部回路の動作に合うように変換させ、メモリチップ70-77に貯蔵されたデータを入力するための内部リード信号OE*、前記メモリチップ70-77にデータを貯蔵するための内部ライト信号WE*、及びそれらメモリチップ70-77中チップを選択するための内部チップ選択信号CE0*-CE7*を該当のメモリチップに夫々出力する。

【0027】且つ、それらデータ信号D0-D63は、前記制御部60でそれら制御信号によりバッファリングされ、データバスDBを通過して各メモリチップ70-77に入力され、又は前記コネクタ50を通過して前記外部装置に出力される。

【0028】又、アドレス信号A0-A29、内部アドレス信号OE*、及び内部ライト信号WE*は第1メモリチップ70-第8メモリチップ77に共通入力され、第1内部チップ選択信号CE0*は第1メモリチップ70に、第2内部チップ選択信号CE1*は第2メモリチップ71に、第3内部チップ選択信号CE2*は第3メモリチップ72に、第4内部チップ選択信号CE3*は第4メモリチップ73に、第5内部チップ選択信号CE4*は第5メモリチップ74に、第6内部チップ選択信号CE5*は第6メモリチップ75に、第7内部チップ選択信号CE6*は第7メモリチップ76に、第8内部チップ選択信号CE7*は第8メモリチップ77に夫々入力される。

【0029】すると、それらメモリチップ70-77中ローレベルの内部チップ選択信号が入力したメモリチップから、該当の8ビットのデータ信号(D0-D7)(D8-D15)(D16-D23)(D24-D31)(D32-D39)(D40-D47)(D48-D55)(D56-D63)がデータバスDBを通過して夫々入出力される。

【0030】従って、前記ローレベルの内部チップ選択信号が一つ、二つ、四つ、五つであると、8ビット、16ビット、32ビット、64ビットのデータが夫々入出力され、ハイレベルの内部チップ選択信号が入力されたメモリチップに連結されたデータバスDBはハイインピダンスの状態になる。

【0031】結果的に、本発明のICメモリカードは、最大64ビットのデータが並列にリード又はライトさ

れ、アドレス信号A0が制御信号として用いられると、該アドレス信号A0と前記内部チップ選択信号CE0*~CE7*とが組合せて使用されて、ICメモリカードの記憶容量が増加される。

【0032】

【発明の効果】以上説明したように本発明に係るICメモリカードにおいては、コネクタのフィンの個数が増加するに従いアドレス信号のビット数及び並列処理されるべきデータ信号のビット数が増加し、各内部チップ選択信号がメモリチップに1:1に連結されて記憶容量が増加して、データ処理速度が向上されるという効果がある。

【0033】且つ、本発明は、コネクタの大きさが従来と同様であるため、大きい記憶容量及び速いデータ処理速度を必要とする携帯用機器に適用し得るという効果がある。

【図面の簡単な説明】

【図1】本発明に係るICメモリカードのブロック図である。

【図2】本発明のICメモリカードのコネクタに係り、(A) ICメモリカードの正面図、(B) はICメモ

10

20

リカードの右側面図、(C)はICメモリカードの下部面図である。

【図3】本発明のメモリチップに入力される制御信号のレベルに従い入出力するデータ信号のビット数を示した表である。

【図4】従来ICメモリカードのブロック図である。

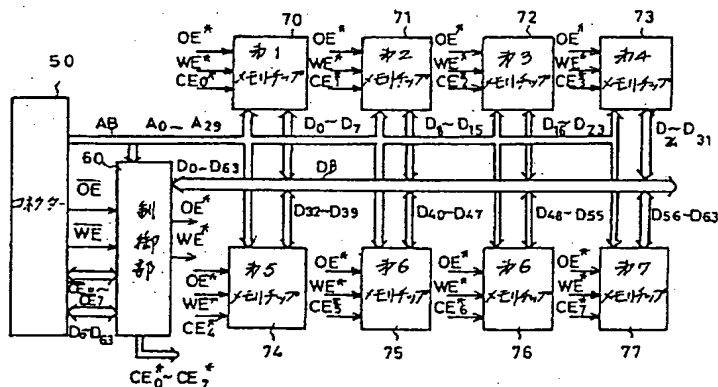
【図5】従来ICメモリカードのコネクタに係り、(A)はICメモリカードの正面図、(B)はICメモリカードの右側面図、(C)はICメモリカードの下部面図である。

【図6】従来各メモリチップに入力される制御信号のレベルに従い入出力するデータ信号のビット数を示した表である。

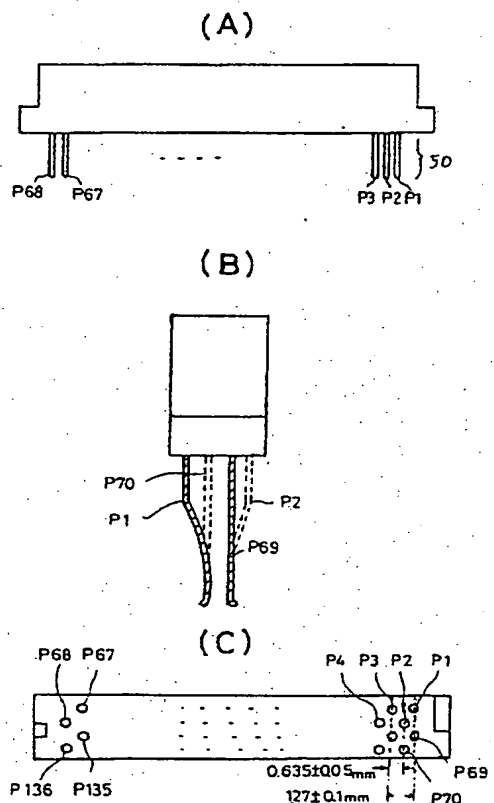
【符号の説明】

- 10、50：コネクタ
- 20、60：制御部
- 30~33、70~77：メモリチップ
- A0~A29：アドレス信号
- D0~D63：データ信号
- P1~P136：フィン

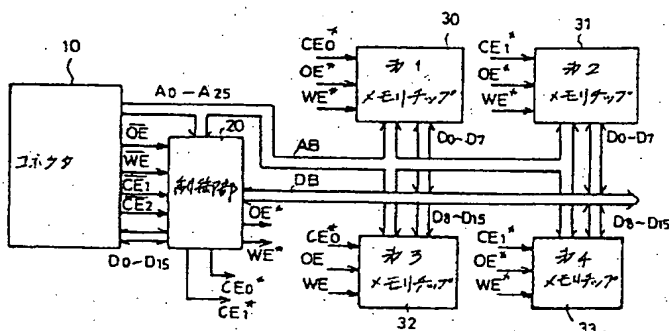
【図1】



【図2】



【図4】



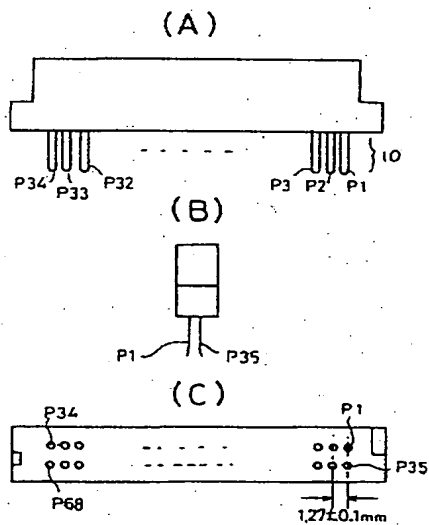
【図3】

制御信号 及 I/O 機能	CE0*	CE1*	CE2*	CE3*	CE4*	CE5*	CE6*	CE7*	D63 ~D56	D55 ~D48	D47 ~D40	D39 ~D32	D31 ~D24	D23 ~D16	D15 ~D8	D7 ~D0
8BIT I/O	L	H	H	H	H	H	H	H	High -Z	High -Z	High -Z	High -Z	High -Z	High -Z	High -Z	I/O
	H	L	H	H	H	H	H	H	High -Z	High -Z	High -Z	High -Z	High -Z	High -Z	I/O	High -Z
	H	H	L	H	H	H	H	H	High -Z	High -Z	High -Z	High -Z	High -Z	I/O	High -Z	High -Z
	H	H	H	L	H	H	H	H	High -Z	High -Z	High -Z	High -Z	I/O	High -Z	High -Z	High -Z
	H	H	H	H	L	H	H	H	High -Z	High -Z	High -Z	I/O	High -Z	High -Z	High -Z	High -Z
	H	H	H	H	H	L	H	H	High -Z	High -Z	I/O	High -Z	High -Z	High -Z	High -Z	High -Z
	H	H	H	H	H	H	L	H	High -Z	I/O	High -Z	High -Z	High -Z	High -Z	High -Z	High -Z
	H	H	H	H	H	H	H	L	I/O	High -Z	High -Z	High -Z	High -Z	High -Z	High -Z	High -Z
16BIT I/O	L	L	H	H	H	H	H	H	High -Z	High -Z	High -Z	High -Z	High -Z	High -Z	I/O	I/O

	H	H	H	H	H	L	L	I/O	I/O	High -Z	High -Z	High -Z	High -Z	High -Z	High -Z	High -Z
32BIT I/O	L	L	L	L	H	H	H	H	High -Z	High -Z	High -Z	High -Z	I/O	I/O	I/O	I/O

	H	H	H	H	L	L	L	L	I/O	I/O	I/O	I/O	High -Z	High -Z	High -Z	High -Z
64BIT I/O	L	L	L	L	L	L	L	L	I/O	I/O	I/O	I/O	I/O	I/O	I/O	I/O

【図5】



【図6】

制御信号 及 I/O 機能	CE0*	CE1*	A0	D15-D8	D7-D0
待機状態	H	H	X	HIGH-Z	HIGH-Z
8 bit I/O	L	H	L	HIGH-Z	I/O
	L	H	H	I/O	HIGH-Z
	H	L	L	HIGH-Z	I/O
	H	L	H	I/O	HIGH-Z
16 bit I/O	L	L	X	I/O	I/O